

IFW

Patent



Customer No. 31561
Application No.: 10/710,933
Docket No. 11537-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Pan et al.
Application No. : 10/710,933
Filed : Aug 13, 2004
For : QUAD FLAT NO-LEAD PACKAGE STRUCTURE AND
MANUFACTURING METHOD THEREOF
Examiner :
Art Unit : 2811

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 92127758,
filed on: 2003/10/7.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: Nov. 11, 2004

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

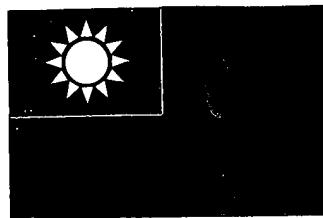
7F-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder.

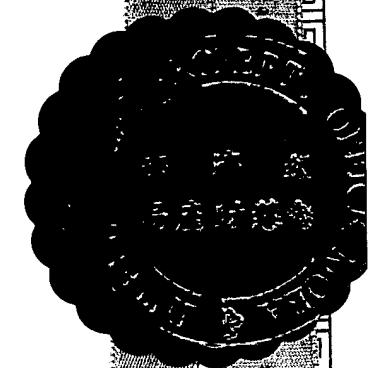
申請日：西元 2003 年 10 月 07 日
Application Date

申請案號：092127758
Application No.

申請人：聯華電子股份有限公司
Applicant(s)

局長
Director General

蔡練生



發文日期：西元 2004 年 9 月 01 日
Issue Date

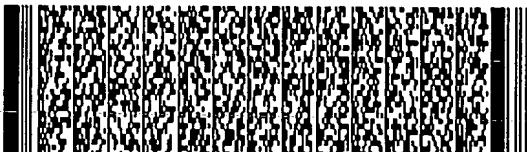
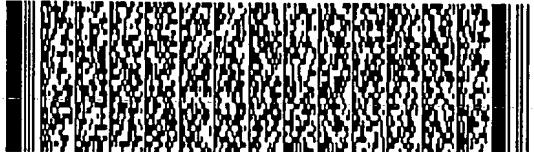
CERTIFIED COPY OF 發文字號：09320838360
PRIORITY DOCUMENT Serial No.

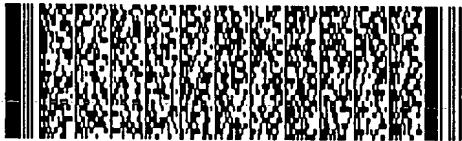
申請日期：2003、10、7	IPC分類
申請案號：92127758	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	四方扁平無接腳型態之晶片封裝結構及其製程
	英文	QUAD FLAT NO-LEAD PACKAGE STRUCTURE AND MANUFACTURING METHOD THEREOF
二、 發明人 (共3人)	姓名 (中文)	1. 潘瑞祥 2. 李光興
	姓名 (英文)	1. PAN, JUI HSIANG 2. LEE, KUANG SHIN
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 新竹市光復路一段390號 2. 新竹市長春街158巷1弄5號4樓
	住居所 (英文)	1. NO. 390, KUANG-FU RD. SEC. 1, HSINCHU, TAIWAN, R.O.C. 2. 4F., NO. 5, ALLEY 1, LANE 158, CHANGCHUN ST., HSINCHU CITY 300, TAIWAN R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 聯華電子股份有限公司
	名稱或 姓名 (英文)	1. UNITED MICROELECTRONICS CORP.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區新竹市力行二路三號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. NO. 3, LI-HSIN RD. II, SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R.O.C.
	代表人 (中文)	1. 曹興誠
	代表人 (英文)	1. TSAO, ROBERT H. C.



申請日期：	IPC分類	
申請案號：		
(以上各欄由本局填註)		
一、 發明名稱	中 文	
	英 文	
二、 發明人 (共3人)	姓 名 (中文)	3. 孫正光
	姓 名 (英文)	3. SUN, CHENG KUANG
	國 籍 (中英文)	3. 中華民國 TW
	住居所 (中 文)	3. 新竹市富群街85巷16弄43號
	住居所 (英 文)	3. NO. 43, ALLEY 16, LANE 85, FUCYUN ST., HSINCHU CITY 300, TAIWAN R. O. C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	
		

四、中文發明摘要 (發明名稱：四方扁平無接腳型態之晶片封裝結構及其製程)

一種四方扁平無接腳型態之晶片封裝結構，主要係由一晶片載板以及至少一晶片所構成。其中，晶片配置於晶片載板之頂面，而晶片載板之底面具有多個四方扁平無接腳型態之導電接腳，例如以陣列的方式排列，以作為晶片載板對外電性連接之I/O接點。此外，晶片載板之頂面還具有多個接合墊，對應連接晶片之鋸墊，以構成一打線接合、覆晶接合或表面接合型態之晶片封裝結構。

伍、(一)、本案代表圖為：第 2A 圖

(二)、本案代表圖之元件代表符號簡單說明：

200：四方扁平無接腳型態之晶片封裝結構

210、220：第一、第二晶片

212：異方性導電膠

230：晶片載板

232：接合墊

六、英文發明摘要 (發明名稱：QUAD FLAT NO-LEAD PACKAGE STRUCTURE AND MANUFACTURING METHOD THEREOF)

The present invention provides a QFN package structure, comprising a chip carrier and at least a chip. The chip is disposed on the top surface of the chip carrier, while the back surface of the chip carrier includes a plurality of flat no-lead conductive leads as I/O pads of the chip carrier for the external circuitry. A plurality of pads, corresponding to bonding pads of the chip, is



四、中文發明摘要 (發明名稱：四方扁平無接腳型態之晶片封裝結構及其製程)

234：導電接腳

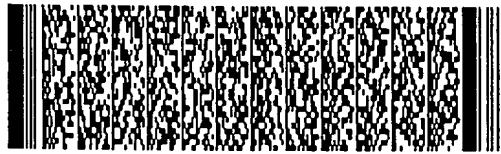
234a：接腳側面

236：內連線層

240：保護層

六、英文發明摘要 (發明名稱：QUAD FLAT NO-LEAD PACKAGE STRUCTURE AND MANUFACTURING METHOD THEREOF)

disposed on the top surface of the chip carrier. The chip package structure can employ wiring bonding technology, flip chip technology or surface mount technology to attach the chip to the chip carrier.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

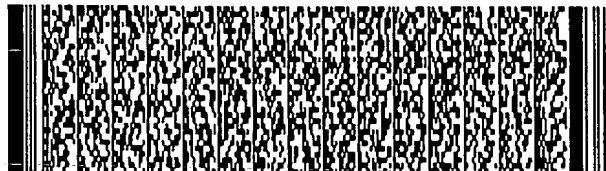
【發明所屬之技術領域】

本發明是有关於一種晶片封裝結構及其製程，且特別是有关於一種四方扁平無接腳(QFN)型態之晶片封裝結構及其製程。

【先前技術】

半導體工業是近年來發展速度最快之高科技工業之一，隨著電子技術的日新月異，高科技電子產業的相繼問世，使得更人性化、功能更佳的電子產品不斷地推陳出新，並朝向輕、薄、短、小的趨勢設計。目前在半導體製程當中，導線架(lead frame)是經常使用的構裝元件之一，而四方扁平封裝結構(Quad Flat Package, QFP)又以導線架之接腳型態而區分為：I型接腳之四方扁平封裝結構(QFI)、J型接腳之四方扁平封裝結構(QFJ)及四方扁平無接腳封裝結構(QFN)等。由於四方扁平無接腳封裝結構所使用之導線架，其接腳之外端切齊於晶片封裝體(chip package)之四端，因此又將此類接腳型態之晶片封裝體，稱之為四方扁平無接腳型態之晶片封裝結構(Quad Flat No-Lead Chip Package Structure)。由於四方扁平封裝結構具有較短之訊號傳遞路徑(trace)，且具有較快之訊號傳遞速度等優點，因此一直是低腳位(low pin count)構裝型態的主流之一，適用於功率元件之中。

請參考第1A及1B圖，其中第1A圖繪示習知一種四方扁平無接腳封裝結構之剖面圖，而第1B圖繪示對應於第1A圖

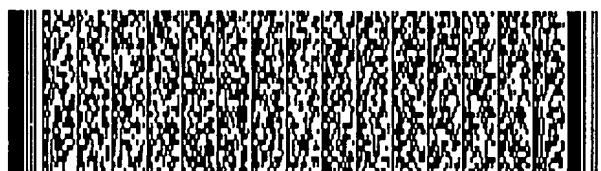
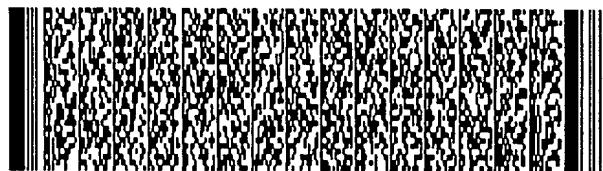


五、發明說明 (2)

之四方扁平無接腳封裝結構之下表面的仰視圖。如第1A圖所示，四方扁平無接腳封裝結構100包括至少一晶片110、一晶片座120、多個導線130、多個接腳140以及一封膠150。其中，晶片110具有一主動表面112以及對應之一背面114，而晶片110之主動表面112具有多個鋸墊116，且晶片110之背面114例如藉由一銀膠(silver epoxy)118而固定於晶片座120之上表面。此外，晶片110之鋸墊116則藉由導線130而電性連接至其所對應之接腳140，而封膠150係包覆晶片110、導線130、晶片座120之上表面以及接腳140之上表面，用以保護晶片110以及導線130。

接著，如第1B圖所示，晶片座120之下表面以及接腳140之下表面係暴露於封膠150之底部，而接腳140之外端切齊於封膠150之四邊的側緣，並呈環狀排列於晶片座120之外圍，其中接腳140係作為晶片封裝結構100對外之I/O接點。

值得注意的是，習知所使用的接腳140與晶片座120係一體成型於導線架上，而切割之後的導線架形成獨立的I/O接腳於晶片座之外圍，然而I/O接腳的數目受到晶片座的限制無法有效增加，因此利用此種排列之接腳140其密度無法有效提高，因而影響晶片封裝結構100之I/O接點密度。此外，於填入封膠150之製程中，部分封膠150容易溢流至晶片座120之下表面以及接腳140之下表面，而產生溢膠的現象，由於溢膠不易清除，因而影響晶片封裝結構100之封裝品質。



【發明內容】

因此，本發明的目的就是在提供一種四方扁平無接腳之晶片封裝結構，用以提高晶片封裝結構之I/O接點的密度。

現型膠溢生所質品裝封結構裝封膠片裝封結構的封裝品所質。接無平產所質。



五、發明說明 (4)

方扁平無接腳型態之金屬塊，即晶片載板之導電接腳，以作為晶片對外電性連接之I/O接點。

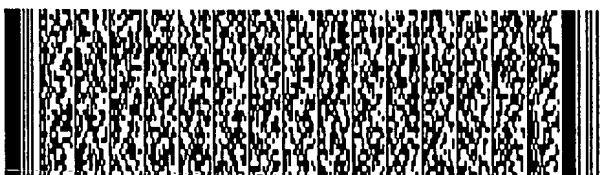
依照本發明的較佳實施例所述，上述形成這些金屬塊之方式，包括先形成一金屬層於基材上，接著圖案化(例如微影蝕刻)金屬層以形成多個金屬塊於基材上。其中，金屬層的底部與基材之間例如具有一蝕刻中止層，而金屬層的頂部先覆蓋一圖案化光阻層，之後進行蝕刻，以定義出各自獨立之金屬塊。

本發明因採用半導體之封裝製程來形成晶片載板之導電接腳(即金屬塊)，而這些金屬塊排列於晶片載板之底面，相較於習知導線架之導腳，本發明之導電接腳的數目將可大於習知導線架之導腳的數目，並可提高晶片封裝結構的電氣性能。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

請參考第2A以及2B圖，其分別繪示本發明一較佳實施例之一種四方扁平無接腳型態之晶片封裝結構的剖面圖以及仰視圖。此晶片封裝結構200主要係由第一晶片210、第二晶片220、一晶片載板230以及一保護層240所構成。其中，第一晶片210以及第二晶片220例如以表面接合(或打線接合、覆晶結合)的方式與晶片載板230電性連接，以構成一多晶片封裝之積體電路模組。以表面接合的方式為

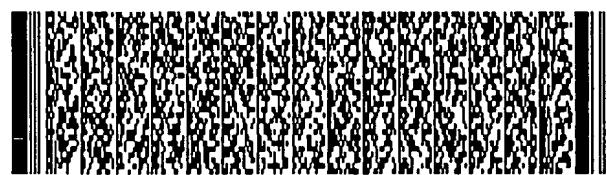
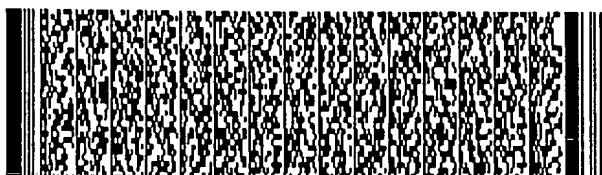


五、發明說明 (5)

例，第一晶片210以及第二晶片220例如藉由異方性導電膠(ACP)212與晶片載板230之接合墊232電性連接。此外，若是利用覆晶接合的方式，第一晶片210以及第二晶片220可藉由面陣列排列之凸塊(未繪示)與晶片載板230之接合墊232電性連接。若是以打線接合的方式，第一晶片210以及第二晶片220之背面先貼附在晶片載板230上，之後再藉由金線電性連接至晶片載板230之接合墊232上。

在第2A及2B圖中，晶片載板230之頂面具有多個接合墊232，而晶片載板230之底面具有多個導電接腳234，接合墊232與導電接腳234可藉由內連線層236而相互連接。此外，這些導電接腳234的下表面234b暴露於晶片載板230之底面，且這些導電接腳232例如以面陣列($9 \times 9, 11 \times 11 \dots$)的方式排列，故晶片載板230之導電接腳234的數量相對於習知利用導線架的接腳140數量而言來得多，且其排列方式不會受到習知導線架之晶片座120的限制(環狀排列)，或是僅能以打線接合的方式與晶片110電性連接，更不會產生習知溢膠的現象。在第2A圖中，外圍之導電接腳234的側面234a可與晶片封裝結構200之側面切齊，且導電接腳232的數量可依照晶片之多寡來決定，甚至導電接腳232的排列方式可依照晶片排列的實際情狀作局部的調整。另外，每一獨立分開之導電接腳232皆可作為第一晶片210以及第二晶片220對外連接之I/O接點，以提高晶片的電氣性能。

為達到上述之目的，本發明提出一種四方扁平無接腳

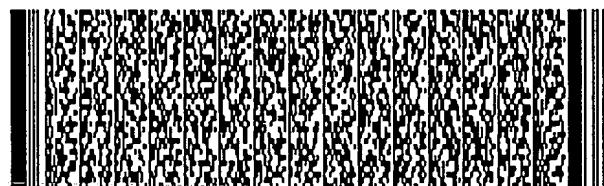
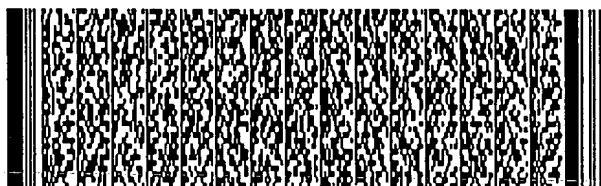


五、發明說明 (6)

之晶片封裝製程，請參考第3A~3F圖所示之流程示意圖。首先參考第3A圖，上述之晶片封裝結構200例如以一晶圓300為基底，而晶圓300具有多個區塊，每一區塊302均有相同的積體電路，且依序形成於晶圓300上並完成繞線佈局。此晶圓300例如為半導體製程常用之基底層，例如矽基材或玻璃基材，或是其他結構硬度高之材質者例如金屬板或高分子聚合物，均可作為支撑用之基底層。接著，請參考第3B圖之剖面示意圖，形成多個金屬塊310於基材300之每一區塊302的表面上，這些金屬塊310之材質可為導電性以及導熱性良好之金屬，例如銅或鎳金合金，而這些金屬塊310可作為上述晶片封裝結構200的導電接腳234。

接著，請參考第3C圖，形成一氧化層320覆蓋於金屬塊310之間以及金屬塊310之表面上，而氧化層320最常使用的材質例如為二氧化矽，且氧化層320可以物理氣相沉積(PVD)的方式，例如蒸鍍、濺鍍，來控制氧化層320沉積的速度以及所需的厚度。另外，為使氧化層320之表面呈現平坦化的效果，最簡易的方式即是利用化學研磨(CMP)機台，以去除氧化層320因階梯覆蓋所造成之凹凸表面，或是利用電漿蝕刻或其他回蝕的方式，來控制氧化層320沉積於基材300上之平坦化效果。

接著，請參考第3D圖，形成一內連線層330於氧化層320上，且內連線層330藉由貫穿於氧化層320之多個導電孔322而連接至金屬塊310。其中，內連線層330例如由多道微影蝕刻製程所形成之多條導線334以及多個接合墊336

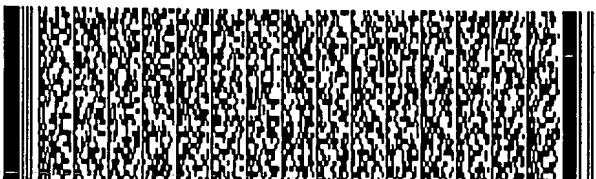


五、發明說明 (7)

所構成，其中接合墊336位於內連線層330最外層之表面上，而導線334對應連接接合墊336之一以及內連線層330底部之導電孔332，最後連接至金屬塊310，以構成一訊號傳遞之路徑。當然，內連線層330之導線層以及介電層不只有一層，尤其當晶片所需之接合墊336的數目愈多時，導線層與介電層的數量可隨之增加，例如4層或6層，或縮小導線之線寬以使接合墊336之間形成微間距排列之陣列結構。最後，這些導電接腳310以及內連線層330可依序形成於晶圓500之表面上，以作為系統電路之佈局，並可先完成電路測試。

接著，請參考第3E圖，配置第一晶片340以及第二晶片342於基板300之每一區塊302的內連線層330上，而第一晶片340以及第二晶片342例如以打線接合或覆晶接合或表面接合的方式配置在內連線層330上。在第3E圖中，第一晶片340以及第二晶片342之鋸墊344例如以異方性導電膠(ACP)346或異方性導電薄膜(ACF)而貼附在內連線層330之接合墊336上，以達到多晶片封裝的目的。接下來，同樣請參考第3E圖，完成晶片接合製程之後，通常形成一保護層350將第一晶片340以及第二晶片342加以覆蓋，此保護層350可以物理氣相沉積的方式，例如以低溫磁式濺鍍機台來沉積一外觀平整之保護層350。

最後，請參考第3F圖，移除基材300，並保留基材300上方之晶片封裝結構302，而其所暴露出之金屬塊310之底部，則可作為晶片封裝結構302對外連接之I/O接點，且這

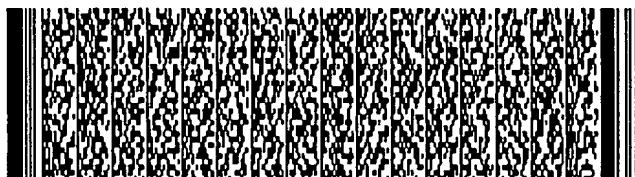


五、發明說明 (8)

些金屬塊310即是第2圖中晶片載板230之四方扁平無接腳型態的導電接腳234。在本實施例中，移除之後的基材300可重複使用，以降低製作成本。此外，當基材300不再重複使用時，可於切割成各自獨立之多晶片封裝之積體電路模組之後，再將已切割之基材300從模組之底部取下，同樣可形成第3F圖所示之晶片封裝結構。

上述第3B圖所繪示之金屬塊310，可經由多種方式來形成，請參考第4A~4D圖，其繪示一種形成金屬塊之方法的流程示意圖。第4A圖中，以披覆或電鍍的方式，先形成一金屬層404於基材400上，而金屬層404與基材400之間還可配置一蝕刻中止層402，例如為鉻，接著，在第4B~4C圖中，形成一圖案化光阻層406於金屬層404上，之後進行蝕刻以定義出金屬塊408，而未被圖案化光阻層406覆蓋之金屬層404則受到蝕刻，直到完全暴露出金屬層404底部之蝕刻中止層402為止，接著第4D圖中，將圖案化光阻層406去除。其中，以非等向性蝕刻金屬層404所形成之金屬塊408，其側面可大致呈垂直表面的效果最佳，而各自獨立的金屬塊408之間的間距可藉由蝕刻調整至所需之寬度，以形成後續晶片封裝結構所需之I/O接點。另外，在第3F圖中去除基材之步驟中，還包括移除上述之蝕刻中止層402，並保留蝕刻中止層402以上之晶片封裝結構，之後再進行切割，以完成四方扁平無接腳型態之晶片封裝製程。

值得注意的是，習知功率元件系統級封裝(System In Package, SIP)係利用印刷電路板(PCB)以及導線架來完成

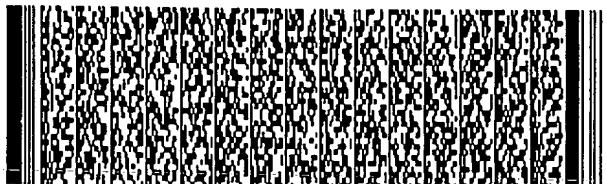


五、發明說明 (9)

系統級封裝，其成本高且良率不穩。然而，本發明利用晶圓(wafer)300作為基底，並在晶圓300上完成繞線佈局，而這些導電之金屬塊310以及內連線層330可依序形成於晶圓300之表面上，以作為系統電路之佈局。此外，完成繞線佈局之後，晶圓300上每一區塊302的電路均可經過電性測試，並淘汰或修補電性特性不佳之電路，以提高晶圓300之良率。接著，將多個功能不同的晶片340、342配置於最上層之電路上，再利用低溫磁式濺鍍機沉積二氧化矽350作為護層及封膠材質，以完成系統級封裝。由於晶圓300上可同時形成多個系統級之封裝結構體，不僅可節省封裝成本，並可結合晶圓級之封裝技術來完成多晶片封裝，進而提高晶片之良率。

綜上所述，本發明所揭露之一種四方扁平無接腳之晶片封裝結構及製程，可改善習知封膠製程所產生之溢膠現象，並同時提昇晶片封裝結構的封裝品質。此外，此晶片封裝結構之金屬塊的排列方式，可改善習知導線架之接腳僅能分佈在晶片之周圍的缺點，進而提高晶片封裝結構的I/O接點密度，並提昇晶片封裝結構的電氣特性。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A 圖繪示習知一種四方扁平無接腳封裝結構之剖面圖。

第1B 圖繪示對應於第1A 圖之四方扁平無接腳封裝結構之下表面的仰視圖。

第2A 以及2B 圖繪示本發明一較佳實施例之一種四方扁平無接腳型態之晶片封裝結構的剖面圖以及仰視圖。

第3A~3F 圖繪示一種四方扁平無接腳之晶片封裝製程的流程示意圖。

第4A~4D 圖繪示一種形成金屬塊之方法的流程示意圖。

【圖式標示說明】

100 : 四方扁平無接腳封裝結構

110 : 晶片

112 : 主動表面

114 : 背面

116 : 錏墊

118 : 銀膠

120 : 晶片座

130 : 導線

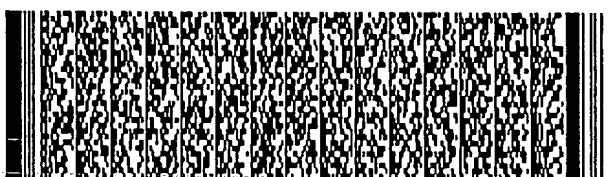
140 : 接腳

150 : 封膠

200 : 四方扁平無接腳型態之晶片封裝結構

210、220 : 第一、第二晶片

212 : 異方性導電膠



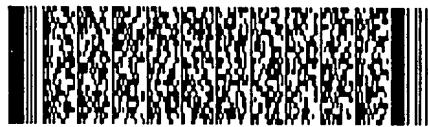
圖式簡單說明

230 : 晶片載板
232 : 接合墊
234 : 導電接腳
234a : 接腳側面
234b : 接腳下表面
236 : 內連線層
240 : 保護層
300 : 基材(晶圓)
302 : 四方扁平無接腳型態之晶片封裝結構
310 : 金屬塊
320 : 氧化層
330 : 內連線層
332 : 導電孔
334 : 導線
336 : 接合墊
340、342 : 第一、第二晶片
344 : 錸墊
346 : 異方性導電膠
350 : 保護層
400 : 基材
402 : 蝕刻中止層
404 : 金屬層
406 : 圖案化光阻層
408 : 金屬塊



圖式簡單說明

- 500 : 晶圓
- 502 : 區塊
- 510 : 導電凸塊
- 520 : 金屬內連線層
- 530、532 : 晶片
- 534 : 保護層



六、申請專利範圍

1. 一種四方扁平無接腳型態之晶片封裝結構，至少包括：

一晶片載板，具有一頂面以及一底面，該晶片載板具有複數個導電接腳配置於該底面，且該晶片載板還具有複數個接合墊配置於該頂面，這些導電接腳與這些接合墊相電性連接；以及

至少一晶片，配置於該頂面，並與該晶片載板電性連接。

2. 如申請專利範圍第1項所述之四方扁平無接腳型態之晶片封裝結構，更包括一保護層，覆蓋於該晶片之表面。

3. 如申請專利範圍第1項所述之四方扁平無接腳型態之晶片封裝結構，其中該晶片載板還具有一內連線層，配置於這些接合墊以及這些導電接腳之間，該內連線層至少具有一導電孔，其兩端分別連接這些接合墊之一以及這些導電接腳之一。

4. 如申請專利範圍第1項所述之四方扁平無接腳型態之晶片封裝結構，其中該晶片係以打線接合的方式與該晶片載板電性連接。

5. 如申請專利範圍第1項所述之四方扁平無接腳型態之晶片封裝結構，其中該晶片係以覆晶接合的方式與該晶片載板電性連接。

6. 如申請專利範圍第1項所述之四方扁平無接腳型態之晶片封裝結構，其中該晶片係以表面接合的方式與該晶



六、申請專利範圍

片載板電性連接。

7. 如申請專利範圍第6項所述之四方扁平無接腳型態之晶片封裝結構，更包括一異方性導電膠，對應連接該晶片以及該晶片載板。

8. 一種四方扁平無接腳之晶片封裝製程，至少包括：
提供一基材；

形成複數個金屬塊於該基材上；

形成一內連線層連接該些金屬塊，該內連線層至少具有一導電孔以及複數個接合墊，該導電孔電性連接該些金屬塊之一以及該些接合墊之一，且該些接合墊係位於該內連線層之最外層的表面上；

配置至少一晶片於該內連線層上，該晶片具有複數個錐墊，對應連接該些接合墊；以及

移除該基材，並暴露出該些金屬塊之底面。

9. 如申請專利範圍第8項所述之四方扁平無接腳之晶片封裝製程，其中於形成該內連線層之步驟中，包括形成至少一氧化層於該些金屬塊與該些接合墊之間，而該導電孔係貫穿該氧化層並連接該些金屬塊之一以及該些接合墊之一。

10. 如申請專利範圍第8項所述之四方扁平無接腳之晶片封裝製程，更包括形成一保護層覆蓋於該晶片。

11. 如申請專利範圍第8項所述之四方扁平無接腳之晶片封裝製程，其中形成該些金屬塊之方式，包括先形成一金屬層於該基材上，接著圖案化該金屬層以形成該些金屬



六、申請專利範圍

塊於該基材上。

12. 如申請專利範圍第11項所述之四方扁平無接腳之晶片封裝製程，其中形成該金屬層之方式包括電鍍金屬。

13. 如申請專利範圍第11項所述之四方扁平無接腳之晶片封裝製程，其中形成該金屬層之方式包括塗佈以及貼覆其中之一。

14. 如申請專利範圍第11項所述之四方扁平無接腳之晶片封裝製程，其中圖案化該金屬層之方式包括先形成一蝕刻中止層於該基材上，接著再形成一圖案化光阻層於該金屬層上，之後進行蝕刻，以定義出該些金屬塊，最後再去除該圖案化光阻層。

15. 如申請專利範圍第14項所述之四方扁平無接腳之晶片封裝製程，其中於移除該基材之步驟中，更包括移除該蝕刻中止層，以暴露出該金屬塊之底部。

16. 一種晶圓級之封裝結構體，至少包括：

一晶圓，具有複數個區塊；

複數個導電凸塊，配置於該晶圓之每一該些區塊上；

一金屬內連線層，連接該些導電凸塊，該金屬內連線層至少具有一導電孔以及複數個接合墊，該導電孔電性連接該些導電凸塊之一以及該些接合墊之一，且該些接合墊係位於該金屬內連線層之最外層的表面上；以及

至少一晶片，配置於該晶圓之每一該些區塊上，該晶片具有複數個鋸墊，對應連接該些接合墊。

17. 如申請專利範圍第16項所述之晶圓級之封裝結構



六、申請專利範圍

體，更包括一保護層，覆蓋於該晶圓之每一該些區塊上。

18. 如申請專利範圍第16項所述之晶圓級之封裝結構體，其中該金屬內連線層還具有至少一氧化層，介於該些導電凸塊與該些接合墊之間，而該導電孔係貫穿該氧化層並連接該些金屬塊之一以及該些接合墊之一。

19. 一種晶圓級之晶片封裝製程，至少包括：

提供一晶圓，該晶圓具有複數個區塊；

形成複數個金屬塊於該晶圓之每一該些區塊上；

形成一內連線層連接該些金屬塊，該內連線層至少具有導電孔以及複數個接合墊，該導電孔電性連接該些金屬塊之一以及該些接合墊之一，且該些接合墊係位於該內連線層之最外層的表面上；

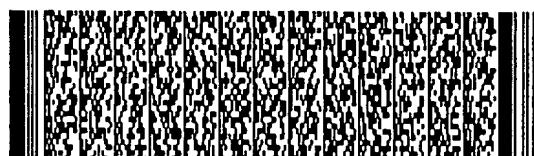
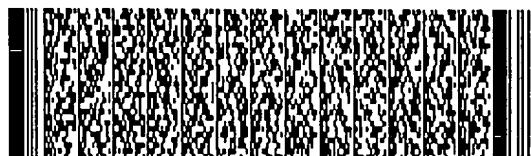
配置至少一晶片於該晶圓之每一該些區塊上，該晶片具有複數個鋸墊，對應連接該些接合墊；以及

移除該基材，並暴露出該些金屬塊之底面。

20. 如申請專利範圍第19項所述之晶圓級之晶片封裝製程，其中於形成該內連線層之步驟中，包括形成至少一氧化層於該些金屬塊與該些接合墊之間，而該導電孔係貫穿該氧化層並連接該些金屬塊之一以及該些接合墊之一。

21. 如申請專利範圍第19項所述之晶圓級之晶片封裝製程，更包括形成一保護層，覆蓋於該晶圓之每一該些區塊上。

22. 如申請專利範圍第19項所述之晶圓級之晶片封裝製程，其中形成該些金屬塊之方式，包括先形成一金屬層



六、申請專利範圍

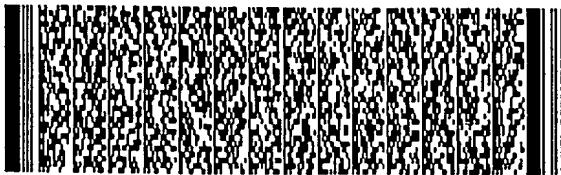
於該基材上，接著圖案化該金屬層以形成該些金屬塊於該基材上。

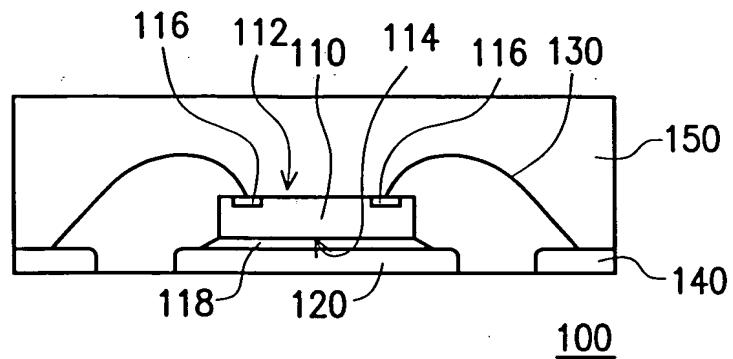
23. 如申請專利範圍第22項所述之晶圓級之晶片封裝製程，其中形成該金屬層之方式包括電鍍金屬。

24. 如申請專利範圍第22項所述之晶圓級之晶片封裝製程，其中形成該金屬層之方式包括塗佈以及貼覆其中之一。

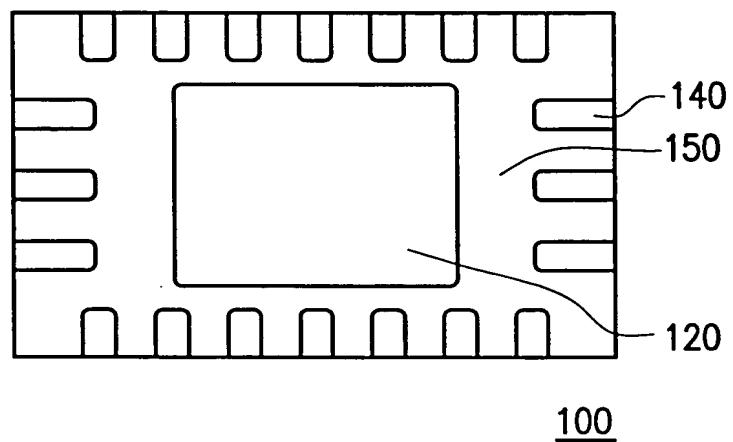
25. 如申請專利範圍第22項所述之晶圓級之晶片封裝製程，其中圖案化該金屬層之方式包括先形成一蝕刻中止層於該晶圓之每一該些區塊上，接著再形成一圖案化光阻層於該金屬層上，之後進行蝕刻，以定義出該些金屬塊，最後再去除該圖案化光阻層。

26. 如申請專利範圍第25項所述之晶圓級之晶片封裝製程，其中於移除該晶圓之步驟中，更包括移除該蝕刻中止層，以暴露出該金屬塊之底部。

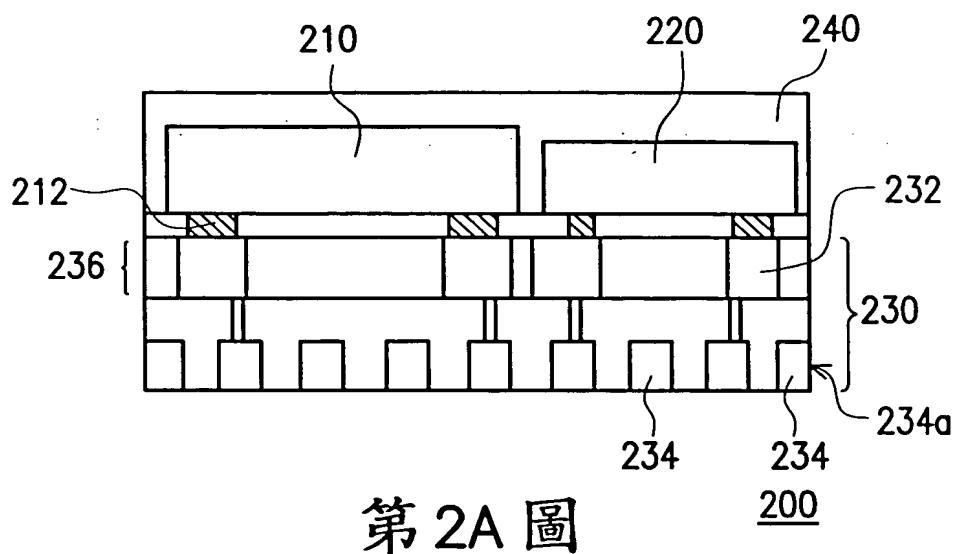




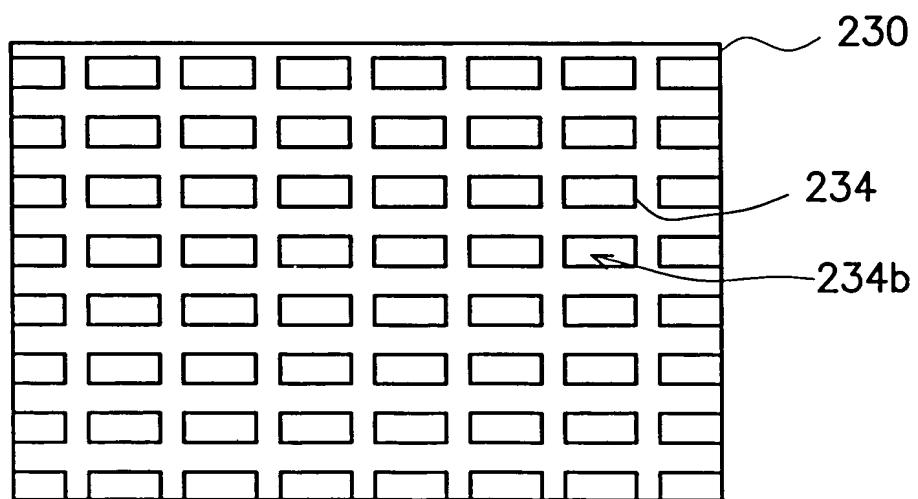
第 1A 圖



第 1B 圖

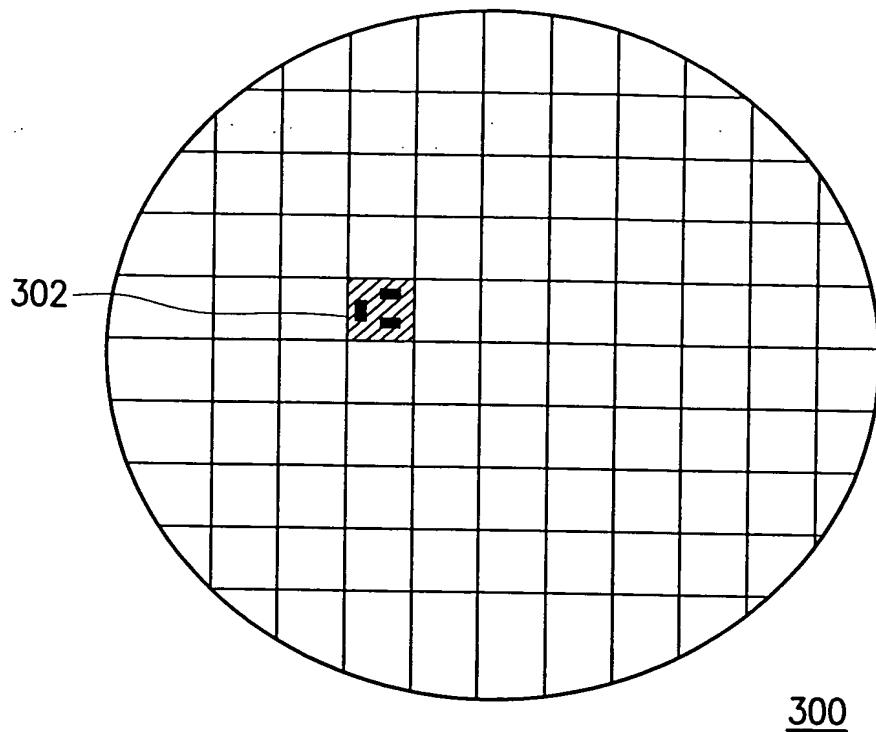


第 2A 圖 200

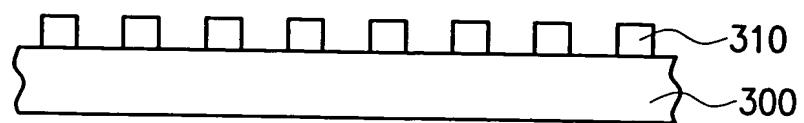


第 2B 圖 200

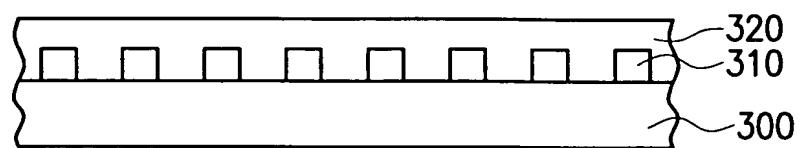
11537TW



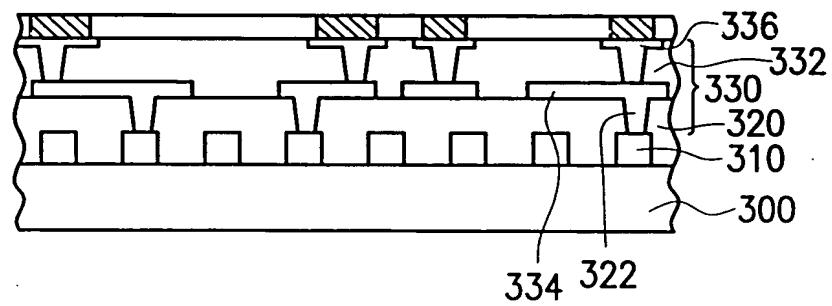
第3A圖



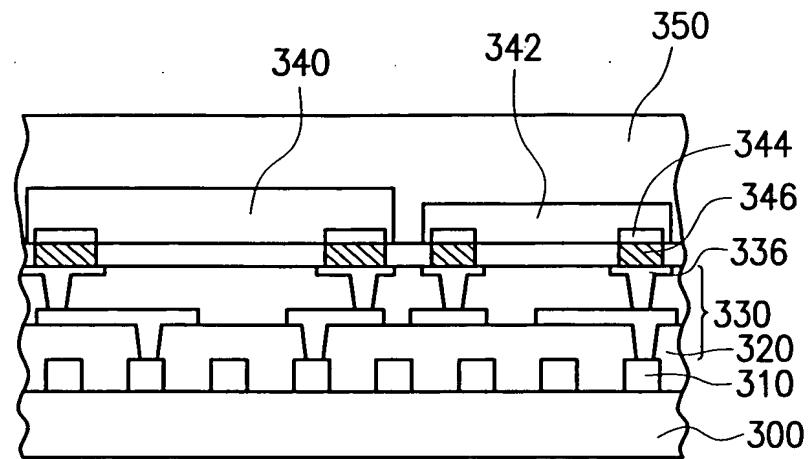
第3B圖



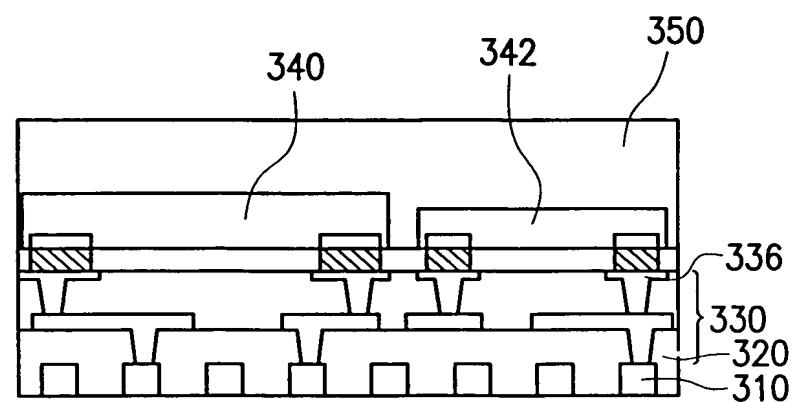
第3C圖



第3D圖

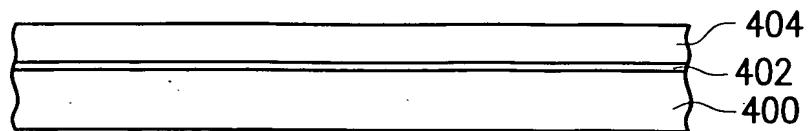


第3E圖

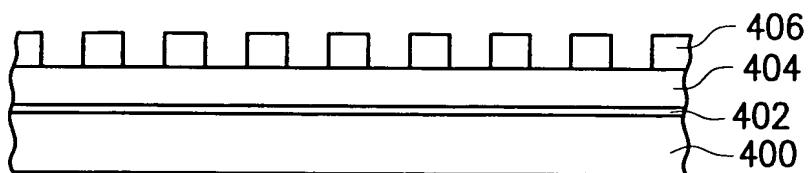


302

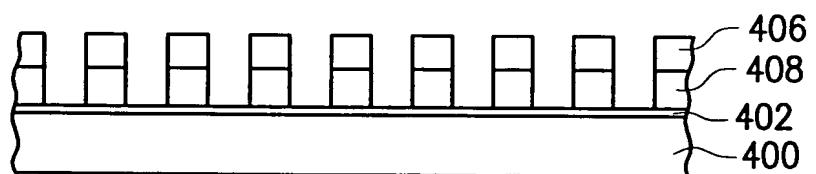
第3F圖



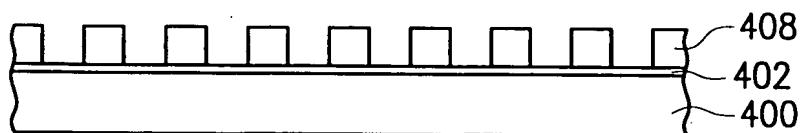
第 4A 圖



第 4B 圖



第 4C 圖

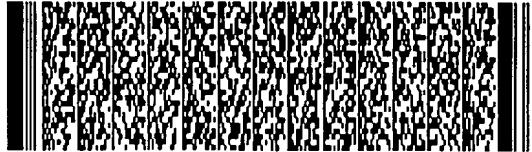


第 4D 圖

第 1/22 頁



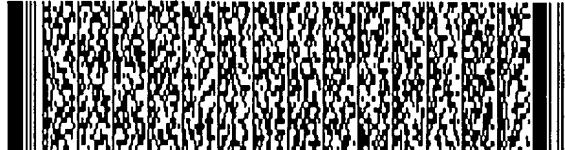
第 1/22 頁



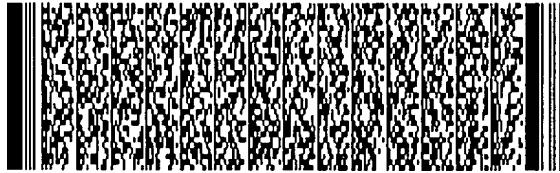
第 2/22 頁



第 3/22 頁



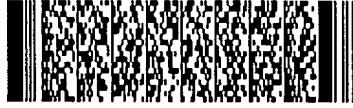
第 3/22 頁



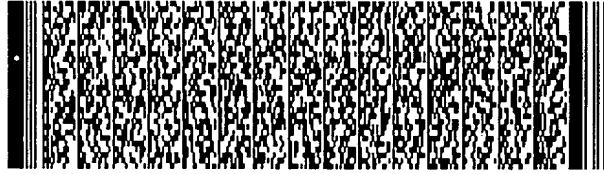
第 4/22 頁



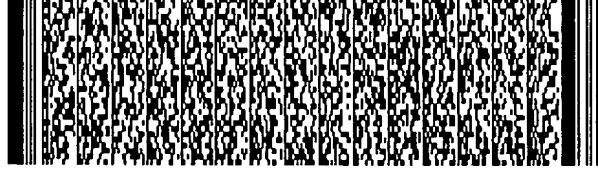
第 5/22 頁



第 6/22 頁



第 6/22 頁



第 7/22 頁



第 7/22 頁



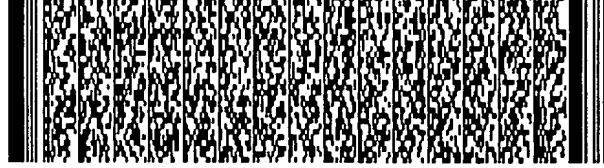
第 8/22 頁



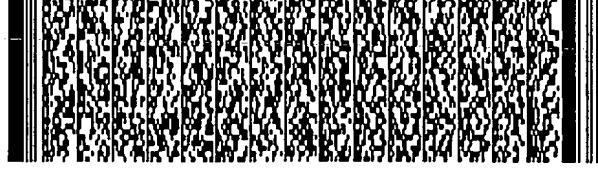
第 8/22 頁



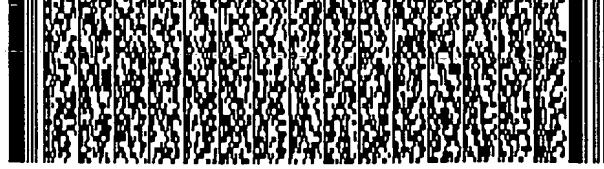
第 9/22 頁



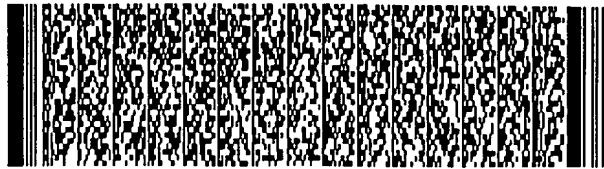
第 9/22 頁



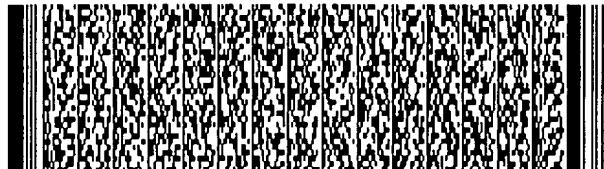
第 10/22 頁



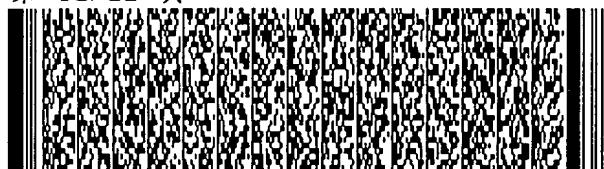
第 10/22 頁



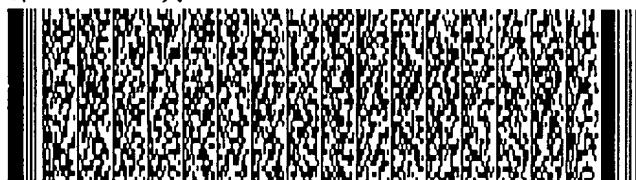
第 11/22 頁



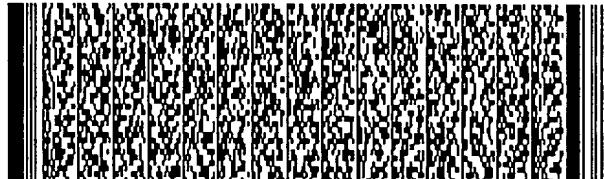
第 12/22 頁



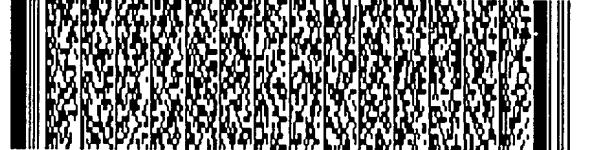
第 13/22 頁



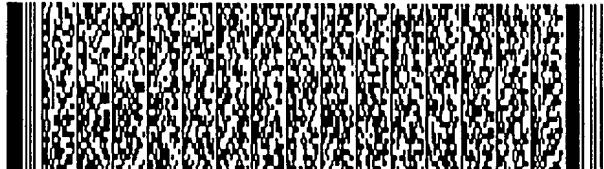
第 14/22 頁



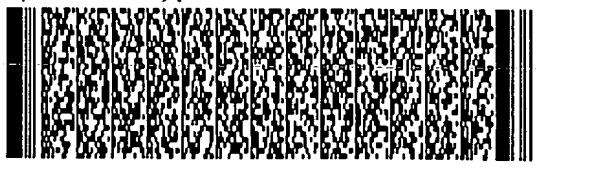
第 15/22 頁



第 16/22 頁



第 17/22 頁



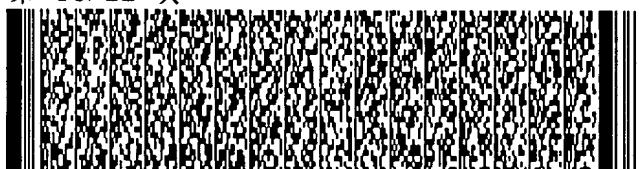
第 11/22 頁



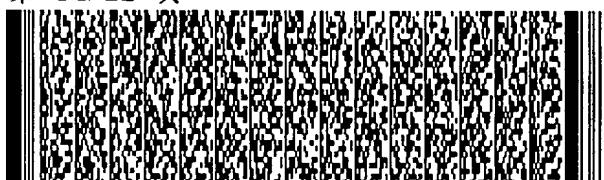
第 12/22 頁



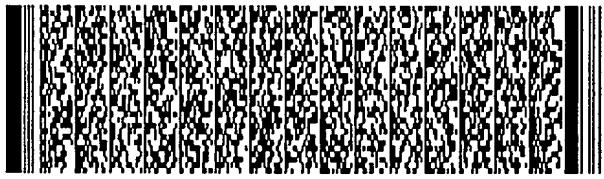
第 13/22 頁



第 14/22 頁



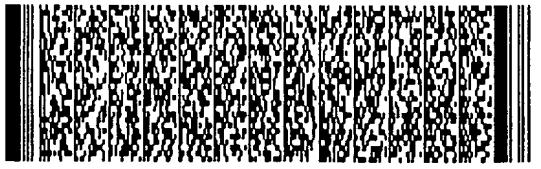
第 15/22 頁



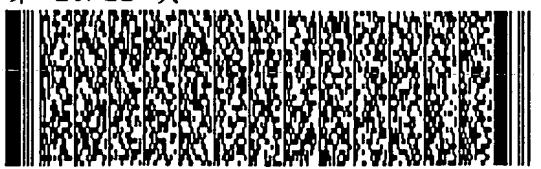
第 16/22 頁



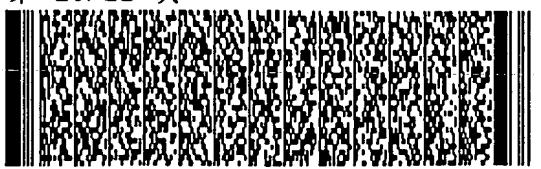
第 17/22 頁



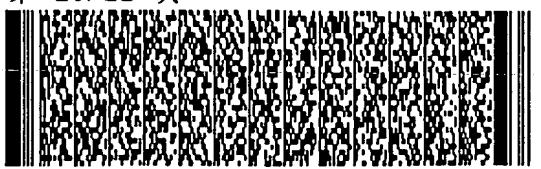
第 18/22 頁



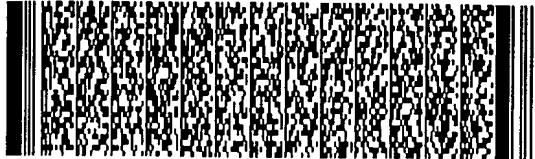
第 19/22 頁



第 20/22 頁



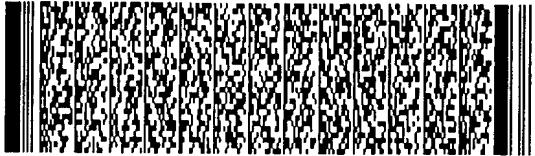
第 20/22 頁



第 21/22 頁



第 21/22 頁



第 22/22 頁

